

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: LAI, Sheng-Chih et al Conf.:
Appl. No.: NEW Group:
Filed: August 18, 2003 Examiner:
For: MASK READ ONLY MEMORY CONTAINING DIODES
AND METHOD OF MANUFACTURING THE SAME

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 18, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

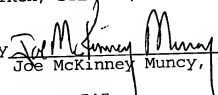
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	091133003	November 11, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By  _____
Joe McKinney Muncy, #32,334

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

KM/smt
0941-0809P

Attachment(s)

LAI et al
August 18, 2002
B-118-118-100
103-
0941-0809P
1021



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2002 年 11 月 11 日
Application Date

申 請 案 號：091133003
Application No.

申 請 人：旺宏電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 7 月 24 日
Issue Date

發文字號：09220747090
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	含有二極體之單幕式唯讀記憶體及其製造方法
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	1. 賴昇志 2. 龍翔瀾 3. 陳逸舟
	姓 名 (英文)	1. Sheng-Chih LAI 2. Hsiang Lan LUNG 3. Yi-Chou CHEN
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台中市北屯區仁和里后庄路857號 2. 新竹市中正路482巷16弄10號7F 3. 新竹市埔頂路247號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1.



0389_8160TW(1).p010107.cathywan_pid

四、中文發明摘要 (發明名稱：含有二極體之單幕式唯讀記憶體及其製造方法)

本發明提供一種含有二極體之單幕式唯讀記憶體及其製造方法，係利用二極體上是否有介電層來定義邏輯"0"或邏輯"1"，且可堆疊複數層二極體層，而形成高密度的三度空間陣列。

伍、(一)、本案代表圖為：第11圖

(二)、本案代表圖之元件代表符號簡單說明：

110~半導體基底，

112~絕緣層，

122~第二導電層，

124~第三導電層，

G13~第三溝槽，

BL~位元線，

140~第一絕緣物，

142~第二絕緣物，

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：含有二極體之單幕式唯讀記憶體及其製造方法)

150~介電層，

D~二極體，

162~編碼用開口，

WL~字元線，

10~記憶單元層。

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明(1)

發明所屬之技術領域

本發明有關於一種含有二極體之單幕式唯讀記憶體，特別有關於一種利用二極體上是否有介電層來定義邏輯"0"或邏輯"1"之單幕式唯讀記憶體。

先前技術

非揮發性記憶體(nonvolatile memory)可分為兩種。第一種是單幕式唯讀記憶體(Mask ROM; Mask read only memory)，是指在製作記憶體的同時，就已被程式化(programmed)，即已定義好邏輯"0"和邏輯"1"，而出了工廠之後就無法再改寫。因此，Mask ROM可作測試(testing)，故可靠度(reliability)較高。另一種是可程式化記憶體(field programmable memory)，是指在製作記憶體時尚未程式化，出了工廠後可依使用者的需求而進行程式化。

傳統的Mask ROM是以金氧半電晶體(MOS transistor; metal-oxide-semiconductor transistor)作為記憶單元(memory unit)。程式化的方式是，藉由進行離子佈植來調整部分MOS電晶體的臨界電壓(threshold voltage)，以定義出邏輯"0"和邏輯"1"。

近年來，已有利用垂直型PN二極體作為記憶單元的Mask ROM。例如，美國專利第5,441,907號中即有揭露此種含有PN垂直型二極體的Mask ROM，其係利用有無PN二極體來定義邏輯"0"，"1"。

美國專利第6,185,122 B1號則揭露一種含有PN二極體



五、發明說明 (2)

之記憶體，但其並非Mask ROM，而是可程式化一次的ROM(OTP ROM; one time programmable read only memory)。在製作完成的記憶體中，在PN二極體之上有一層氧化層。在記憶體作好出了工廠之後，再定義邏輯"0"、"1"，定義的方式是，以高電壓將氧化層燒穿(breakdown)，有燒穿之處定為"1"，未燒穿之處定為"0"。當氧化層厚度不均時，定義時會有問題。

發明內容

本發明之目的為提供一種含有二極體之單幕式唯讀記憶體及其製造方法，其係利用二極體上是否有介電層來定義邏輯"0"或邏輯"1"，且可堆疊複數層二極體層，而形成高密度之三度空間陣列。

為達成本發明之目的，本發明含有二極體之單幕式唯讀記憶體包括：

- 一半導體基底；

- 一絕緣層，位於該半導體基底上；

- 依第一方向設置之複數條第一導線，位於該絕緣層上；

- 複數個垂直式二極體，位於該第一導線上；

- 複數個介電層，位於部分二極體上，二極體上有介電層者定義為邏輯"0"，而二極體上沒有介電層者定義為邏輯"1"；以及

- 依第二方向設置之複數條第二導線，位於該介電層和該二極體上，該第一和第二方向為垂直。



五、發明說明 (3)

依據本發明之一具體實施例，本發明含有二極體之單幕式唯讀記憶體包括：

一半導體基底；

一絕緣層，位於該半導體基底上；以及

至少兩層記憶單元層，堆疊設置於該絕緣層上，且任兩層記憶單元層之間有一分隔層以作絕緣，其中該每一層記憶單元層包括：

依第一方向設置之複數條第一導線，位於該絕緣層上；

複數個垂直式二極體，位於該第一導線上；

複數個介電層，位於部分二極體上，二極體上有介電層者定義為邏輯"0"，而二極體上沒有介電層者定義為邏輯"1"；以及

依第二方向設置之複數條第二導線，位於該介電層和該二極體上，該第一和第二方向為垂直，

其中任兩相鄰上下兩極體層係以不同導電型面對面設置。

上述記憶單元層的數量可為2至10層。分隔層可為氧化矽。

依據本發明另一具體實施例，本發明含有二極體之單幕式唯讀記憶體包括：

一半導體基底；

一絕緣層，位於該半導體基底上；

n層二極體層，堆疊設置於該絕緣層上，n為等於或大



五、發明說明(4)

於2之整數，每層二極體層包括：複數個垂直式二極體；以及複數個介電層，位於部分二極體上，二極體上有介電層者定義為邏輯"0"，而二極體上沒有介電層者定義為邏輯"1"；以及

(n+1)層平行導電層，分別位於最下層二極體層和絕緣層之間，最上層二極體層之上，以及任兩相鄰二極體層之間，且此(n+1)層平行導電層之設置方向為任兩相鄰導電層是互相垂直的，

其中任兩相鄰上下兩二極體層係以同導電型面對面設置。

上述二極體層的數量n可為2至10之間。

本發明亦提供含有二極體之罩幕式唯讀記憶體的製造方法。依據本發明之一具體實施例，製造方法可包括以下步驟：

在一半導體基底上依序形成一絕緣層，一第一導電層，一第二導電層，和一第三導電層，其中第二導電層和第三導電層之間形成PN界面或蕭特基(Schottky)界面；

圖案化該第三導電層，第二導電層，和第一導電層，而形成複數個依一第一方向設置的第一溝槽，以將第一導電層定義為複數條位元線；

將一第一絕緣物填入該第一溝槽內；

全面性地在該第三導電層和第一絕緣物上形成一介電層；

圖案化該介電層，第一絕緣物，第三導電層，第二導



五、發明說明 (5)

電層，停止於位元線，而形成複數個依一第二方向設置的第二溝槽，且形成由第二導電層和第三導電層所構成的複數個二極體，其中第一方向和第二方向互相垂直；

將第二絕緣物填入該第二溝槽內，使得該第二絕緣物之高度比該介電層為高，而形成複數個依第二方向設置的第三溝槽；

圖案化該介電層，以曝露出部分二極體之第三導電層，而形成複數個編碼用開口，定義出複數個編碼區；

形成一第四導電層，以填入該第三溝槽和編碼用開口中，而形成複數條字元線。

依據本發明之另一具體實施例，含有二極體之單幕式唯讀記憶體的製造方法可包括以下步驟：

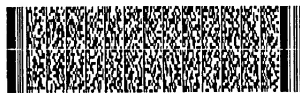
在一半導體基底上依序形成一絕緣層，一第一導電層，一第二導電層，一第三導電層，和一第一介電層，其中該第二導電層和第三導電層之間形成PN界面或蕭特基(Schottky)界面；

圖案化該第一介電層，以曝露出該第三導電層之部分區域，而形成複數個第一編碼用開口，定義出複數個第一編碼區；

圖案化該第一介電層，第三導電層，第二導電層，和第一導電層，而形成複數個依一第一方向設置的第一溝槽，將第一導電層定義為複數條第一位元線，

將一第一絕緣物填入該第一溝槽內；

全面性地形成一第四導電層，且填入該第一編碼用開



五、發明說明 (6)

口中；

在該第四導電層上依序形成一第五導電層，第六導電層，和一第二介電層，其中該第五導電層和第六導電層之間形成PN界面或蕭特基(Schottky)界面；

圖案化該第二介電層，以曝露出第六導電層之部分區域，而形成複數個第二編碼用開口，定義出複數個第二編碼區；

圖案化該第二介電層，第六導電層，第五導電層，第四導電層，第一介電層，第三導電層，第二導電層，停止於第一位元線，而形成複數個依一第二方向設置的第二溝槽，並將第四導電層定義為複數條第一字元線，其中第一方向和第二方向為垂直；

將一第二絕緣物填入該第二溝槽內；

全面性地形成一第七導電層，且填入該第二編碼用開口中；

在該第七導電層上依序形成一第八導電層，一第九導電層，和一第三介電層，其中該第八導電層和第九導電層之間形成PN界面或蕭特基(Schottky)界面；

圖案化該第三介電層，以曝露出該第九導電層之部分區域，而形成複數個第三編碼用開口，定義出複數個第三編碼區；

圖案化該第三介電層，第九導電層，第八導電層，第七導電層，第二介電層，第六導電層，第五導電層，停止於第一字元線，而形成複數個依第一方向設置的第三溝



五、發明說明 (7)

槽，並將第七導電層定義為複數條第二位元線；

將一第三絕緣物填入該第三溝槽內；

圖案化該第三介電層，第九導電層，第八導電層，停止於第二位元線，而形成複數個依第二方向設置的第四溝槽；

將第四絕緣物填入該第四溝槽內，使得該第四絕緣物之高度比第三介電層為高，而形成複數個依第二方向設置的第五溝槽；以及

將第十導電層填入該第五溝槽內，而形成複數條第二字元線，

其中該第三和第五導電層具有相同導電型，第六和第八導電層具有相同導電型。

實施方式

第1a至1l圖顯示依據本發明一較佳實施例製造含有二極體之罩幕式唯讀記憶體的製程剖面示意圖。

請參閱第1a圖，在一半導體基底110上依序形成一絕緣層112，一第一導電層120，一第二導電層122，一第三導電層124，和一第一遮蔽層130。絕緣層112可為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鋇(BST)、氧化鈺(HfO_2)、或氧化鈦(TiO_2)。例如，絕緣層112可為以化學氣相沈積法(CVD; chemical vapor deposition)所形成的氧化矽，厚度可為500至800 nm之間。第一導電層120可為CVD所形成的複晶矽，或者可為濺



五、發明說明 (8)

鍍法(sputtering)所形成的金屬，厚度可為200至400 nm之間。第一遮蔽層130可為以CVD法所形成的氮化矽，厚度可為50至300 nm。

第二導電層122和第三導電層124之間係形成PN界面或蕭特基(Schottky)界面。例如，第二導電層122可為N型複晶矽，形成方法可為，以CVD法或電漿輔助CVD法(PECVD; plasma-enhanced CVD)進行沈積，接著再以砷(As)、磷(P)、或其他N型摻質進行摻雜，厚度可為100至600 nm。第三導電層124可為P型複晶矽，形成方法可為，以CVD法或PECVD法進行沈積，接著再以硼(B)、鎵(Ga)、銦(In)、或其他P型摻質進行摻雜，厚度可為100至400 nm。如此，第二導電層122和第三導電層124之間形成PN界面。或者，第二導電層122可為P型複晶矽，第三導電層124可為金屬，如此其間形成蕭特基界面。為方便說明起見，第二導電層122在圖中皆顯示為N(表N型複晶矽)，第三導電層124在圖中皆顯示為P(表P型複晶矽)。

接著，參閱第1b圖，在第一遮蔽層130上形成一第一光阻PR11，其圖案與將來欲形成位元線的圖案相同。

接著，參閱第1c圖，以第一光阻PR11為罩幕，蝕刻第一遮蔽層130，第三導電層124，第二導電層122，和第一導電層120，停止於絕緣層112，而形成複數個依一第一方向A設置的第一溝槽G11，將第一導電層120定義為複數條位元線BL。蝕刻方法可使用反應性離子蝕刻法(RIE; reactive ion etching)。



五、發明說明 (9)

接著，參閱第1d圖，除去第一光阻PR11，再將第一絕緣物140填入第一溝槽G11內。例如，使用高密度電漿化學氣相沈積法(HDPCVD; high density plasma CVD)形成氧化矽140而填入第一溝槽G11內。然後，以第一遮蔽層130為停止層，對於第一絕緣物140進行回蝕(etching back)。

接著，參閱第1e圖，除去第一遮蔽層130，再全面性地在第三導電層124和第一絕緣物140上形成一介電層150。接著，再全面性地形成一第二遮蔽層132。介電層150可為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉬(Ta_2O_5)、鈦酸鋇鉍(BST)、氧化鈣(HfO_2)、或氧化鈦(TiO_2)。例如，介電層150可為CVD法所形成之氧化矽。第二遮蔽層132可為CVD法所形成之氮化矽。

接著，參閱第1f圖，在第二遮蔽層132上形成一第二光阻PR12，其圖案與將來欲形成字元線的圖案相同。

接著，參閱第1g圖，以第二光阻PR12為罩幕，蝕刻第二遮蔽層132，介電層150，第一絕緣物140，第三導電層124，第二導電層122，停止於位元線BL，而形成複數個依B方向設置的第二溝槽G12，B方向與A方向係為垂直。蝕刻方法可使用反應性離子蝕刻法(RIE)。如此，將第三導電層124和第二導電層122分割成複數個二極體D，圖中顯示為PN二極體，第三導電層124為P，第二導電層122為N。

接著，參閱第1h圖，除去第二光阻PR12，再將第二絕緣物142填入第二溝槽G12內。例如，可使用HDPCVD法沈積



五、發明說明 (10)

氧化矽142以填入第二溝槽G12內。然後，以第二遮蔽層132為停止層，對於第二絕緣物142進行回蝕。

接著，參閱第1i圖，除去第二遮蔽層132。如此，除去第二遮蔽層132之後，會留下複數個依B方向設置的第三溝槽G13，而使得第二絕緣物142的高度會比介電層150為高。

接著，參閱第1j圖，形成第三光阻PR13，再經由唯讀記憶體編碼罩幕(ROM code mask)M1，對於第三光阻PR13進行曝光和顯影，而使第三光阻PR13具有圖案。唯讀記憶體編碼罩幕M1上的開口部分即為唯讀記憶體編碼區(ROM code)160。

接著，參閱第1k圖，以第三光阻PR13為罩幕，將編碼區160處的介電層150蝕刻，而曝露出編碼區160處二極體D的第三導電層124，形成複數個編碼用開口162。蝕刻法可使用RIE法。

接著，參閱第1l圖，除去第三光阻PR13，形成一第四導電層，以填入第三溝槽G13和編碼用開口162中，然後再進行化學機械研磨(CMP; chemical mechanical polishing)而形成複數條字元線WL。字元線WL的形成並不需要使用罩幕，是屬於自動對準方式(self-aligned)。如此，完成含有二極體之罩幕式唯讀記憶體，其具有一層記憶單元層10。由位元線BL到字元線WL所構成的結構，構成了記憶單元層10，亦即，包括：依A方向設置之複數條位元線BL；複數個垂直式二極體D，位於位元線BL上；複數



五、發明說明 (11)

個介電層150，位於部分二極體D上；以及依B方向設置之複數條字元線WL，位於介電層150和二極體D上。二極體D上有介電層150者定義為邏輯"0"，而二極體D上沒有介電層150者定義為邏輯"1"。

此外，本發明亦可以堆疊數層記憶單元層10，而形成三度空間陣列。例如，第2圖顯示含有二極體D之罩幕式唯讀記憶體，具有兩層記憶單元層10，其間以一分隔層12以絕緣隔開。此分隔層12可為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鉬(BST)、氧化鈺(HfO_2)、或氧化鈦(TiO_2)。同樣地，二極體D上有介電層150者定義為邏輯"0"，而二極體D上沒有介電層150者定義為邏輯"1"。第2圖中標號與第1圖相同者代表相同的元件。

第3a至3p圖顯示依據本發明另一較佳實施例製造含有二極體之罩幕式唯讀記憶體的製程剖面示意圖。

請參閱第3a圖，在一半導體基底210上依序形成一絕緣層212，一第一導電層221，一第二導電層222，一第三導電層223，和一第一介電層241。絕緣層212可為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鉬(BST)、氧化鈺(HfO_2)、或氧化鈦(TiO_2)。例如，絕緣層212可為以CVD法所形成的氧化矽，厚度可為500至800 nm之間。第一導電層221可為CVD所形成的複晶矽，或者可為濺鍍法所形成的金屬，厚度可為200至400 nm之間。第一介電層241可為氧化矽、氧化鋁(Al_2O_3)、氮化矽



五、發明說明 (12)

(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鉬(BST)、氧化鈺(HfO_2)、或氧化鈦(TiO_2)。例如，第一介電層241可為以CVD法所形成的氧化矽，厚度可為10至300 nm。

第二導電層222和第三導電層223之間係形成PN界面或蕭特基(Schottky)界面。例如，第二導電層222可為N型複晶矽，形成方法可為，以CVD法或電漿輔助CVD法(PECVD; plasma-enhanced CVD)進行沈積，接著再以砷(As)、磷(P)、或其他N型摻質進行摻雜，厚度可為100至600 nm。第三導電層223可為P型複晶矽，形成方法可為，以CVD法或PECVD法進行沈積，接著再以硼(B)、鎵(Ga)、銦(In)、或其他P型摻質進行摻雜，厚度可為100至400 nm。如此，第二導電層222和第三導電層223之間形成PN界面。或者，第二導電層222可為P型複晶矽，第三導電層223可為金屬，如此其間形成蕭特基界面。為方便說明起見，第二導電層222在圖中皆顯示為N(表N型複晶矽)，第三導電層223在圖中皆顯示為P(表P型複晶矽)。

參閱第3b圖，形成第一光阻PR21，再經由第一唯讀記憶體編碼罩幕(ROM code mask)M21，對於第一光阻PR21進行曝光和顯影，而使第一光阻PR21具有圖案。第一唯讀記憶體編碼罩幕M21上的開口部分即為唯讀記憶體編碼區(ROM code)250。

接著，參閱第3c圖，以第一光阻PR21為罩幕，將編碼區250處的第一介電層241蝕刻，而曝露出編碼區250處的第三導電層223，形成複數個編碼用開口251。蝕刻法可使



五、發明說明 (13)

用RIE法。

接著，仍參閱第3c圖，除去第一光阻PR21，形成第一遮蔽層261，例如氮化矽，並填入第一編碼用開口251內。接著，形成第二光阻PR22，其圖案與將來欲形成之位元線圖案相同。

接著，參閱第3d圖，以第二光阻PR22為罩幕，進行蝕刻(例如RIE)，以蝕刻第一遮蔽層261，第一介電層241，第三導電層223，第二導電層222，和第一導電層221，停止於絕緣層212，而形成複數個依A方向設置的第一溝槽G21，將第一導電層221定義為複數條第一位元線BL21。然後，將一第一絕緣物271填入第一溝槽G21內。例如，使用HDPCVD法以形成氧化矽而填入第一溝槽G21內。然後，以第一遮蔽層261為停止層，對於第一絕緣物271進行回蝕。

接著，參閱第3e圖，除去第一遮蔽層261，然後，全面性地形成一第四導電層224，且填入第一編碼用開口251中。然後，進行CMP，以磨平第四導電層224。

接著，參閱第3f圖，在第四導電層224上依序形成一第五導電層225，一第六導電層226，和一第二介電層242。第五和第六導電層225和226之間係形成PN界面或蕭特基界面，且第五導電層225和第三導電層224的導電型必須相同。例如，圖中顯示，第二導電層222和第六導電層226都為N型複晶矽，第三導電層223和第五導電層225都为P型複晶矽。第二介電層242可為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鋇(BST)、氧化鉛



五、發明說明 (14)

(HfO_2)、或氧化鈦(TiO_2)。

接著，仍參閱第3f圖，形成第三光阻PR23，再經由第二唯讀記憶體編碼罩幕(ROM code mask)M22，對於第三光阻PR23進行曝光和顯影，而使第三光阻PR23具有圖案。第二唯讀記憶體編碼罩幕M22上的開口部分即為唯讀記憶體編碼區(ROM code)250。圖中顯示，第二唯讀記憶體編碼罩幕M22上的編碼區與第一唯讀記憶體編碼罩幕M21上的編碼區對齊，此外，也可不需要對齊，而作任意排列(random)。

接著，參閱第3g圖，以第三光阻PR23為罩幕，將編碼區250處的第二介電層242蝕刻，而曝露出編碼區250處的第六導電層226，形成複數個第二編碼用開口252。蝕刻法可使用RIE法。

接著，仍參閱第3g圖，除去第三光阻PR23，形成第二遮蔽層262(例如氮化矽)，並填入第二編碼用開口252內。接著，形成第四光阻PR24，其圖案與將來欲形成之字元線圖案相同。

接著，參閱第3h圖，以第四光阻PR24為罩幕，進行蝕刻(例如RIE)，以蝕刻第二遮蔽層262，第二介電層242，第六導電層226，第五導電層225，第四導電層224，第一介電層241，第三導電層223，和第二導電層222，停止於位元線BL21，而形成複數個依B方向設置的第二溝槽G22。如此，將第四導電層224分割成複數條第一字元線WL21。同時，也形成了複數個由第二導電層222和第三導電層223



五、發明說明 (15)

所構成的第一層二極體D21。

接著，仍參閱第3h圖，除去第四光阻PR24，然後，將一第二絕緣物272填入第二溝槽G22內。例如，使用HDPCVD法形成氧化矽272以填入第二溝槽G22內，再以第二遮蔽層262為停止層，回蝕氧化矽272。

接著，參閱第3i圖，除去第二遮蔽層262，再全面性地形成一第七導電層227，且填入第二編碼用開口252內。然後，以CMP法磨平第七導電層227。

接著，參閱第3j圖，在第七導電層227上依序形成一第八導電層228，第九導電層229，和一第三介電層243。第八和第九導電層228和229之間係形成PN界面或蕭特基界面，且第八導電層228和第六導電層226的導電型必須相同。例如，圖中顯示，第六導電層226和第八導電層228都為N型複晶矽，第九導電層229為P型複晶矽。第三介電層243可為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鋁(BST)、氧化鈣(HfO_2)、或氧化鈦(TiO_2)。

接著，仍參閱第3j圖，形成第五光阻PR25，再經由第三唯讀記憶體編碼罩幕(ROM code mask)M23，對於第五光阻PR25進行曝光和顯影，而使第五光阻PR25具有圖案。第三唯讀記憶體編碼罩幕M23上的開口部分即為唯讀記憶體編碼區(ROM code)250。圖中顯示，第三唯讀記憶體編碼罩幕M23上的編碼區與第一唯讀記憶體編碼罩幕M21上的編碼區對齊，此外，也可不需要對齊，而作任意排列



五、發明說明 (16)

(random)。

接著，參閱第3k圖，以第五光阻PR25為罩幕，將編碼區250處的第三介電層243蝕刻，而曝露出編碼區250處的第九複晶矽層229，形成複數個第三編碼用開口253。蝕刻法可使用RIE法。

接著，仍參閱第3k圖，除去第五光阻PR25，形成第三遮蔽層263(例如氮化矽)，並填入第三編碼用開口253內。接著，形成第六光阻PR26，其圖案與將來欲形成之位元線圖案相同。

接著，參閱第3l圖，以第六光阻PR26為罩幕，進行蝕刻(如RIE)，以蝕刻第三遮蔽層263，第三介電層243，第九導電層229，第八導電層228，第七導電層227，第二介電層242，第六導電層226，和第五導電層225，停止於第一字元線WL21，而形成複數個依A方向設置的第三溝槽G23。如此，將第七導電層227分割成複數條第二位元線BL22。同時，也形成了由第五導電層225和第六導電層226所構成的複數個第二層二極體D22。

接著，仍參閱第3l圖，除去第六光阻PR26，將一第三絕緣物273填入第三溝槽G23內。例如，使用HDPCVD法形成氧化矽273，以填入第三溝槽G23內，再以第三遮蔽層263為停止層，回蝕氧化矽273。

接著，參閱第3m圖，除去第三遮蔽層263，然後，全面性地形成一第四遮蔽層264(例如氮化矽)。然後，形成一第七光阻PR27，其圖案與欲形成之字元線的圖案相同。



五、發明說明 (17)

接著，參閱第3n圖，以第七光阻PR27為罩幕，進行蝕刻(例如RIE)，以蝕刻第四遮蔽層264，第三介電層243，第九導電層229，第八導電層228，停止於第二位元線BL22，而形成複數個依B方向設置的第四溝槽G24。如此，形成了由第八導電層228和第九導電層229所構成的複數個第三層二極體D23。

接著，仍參閱第3n圖，除去第七光阻PR27，將第四絕緣物274填入第四溝槽內G24內。例如，可使用HDPCVD法沈積氧化矽274以填入第四溝槽G24內。然後，以第四遮蔽層264為停止層，對於第四絕緣物274進行回蝕。

接著，參閱第3p圖，除去第四遮蔽層264。如此，除去第四遮蔽層264之後，會留下複數個依B方向設置的第五溝槽G25，而使得第四絕緣物274的高度會比第三介電層243為高。

接著，仍參閱第3p圖，將第十導電層填入第五溝槽G25內，經由CMP研磨而形成複數條第二字元線WL22。如此，完成含有二極體之罩幕式唯讀記憶體，其具有三層二極體D21，D22，和D23。由第3p圖可看出，PN二極體上有介電層241，242，或243者定義為邏輯"0"，而PN二極體上沒有介電層者定義為邏輯"1"。再者，字元線WL21為上下兩層二極體D21和D22所共用，位元線BL22為上下兩層二極體D22和D23所共用。

第4圖顯示另一含有二極體之罩幕式唯讀記憶體，其和第3p圖之構造及製造方法類似，但第4圖僅包括兩層二



五、發明說明 (18)

極體D21和D22。第4圖中與第3p圖標號相同者代表相同的元件。由第4圖可看出，此單幕式唯讀記憶體包括一半導體基底210；一絕緣層212，位於半導體基底210上；以及兩層PN二極體層，堆疊設置於絕緣層212上。每層PN二極體層包括：複數個垂直式PN二極體，以及複數個介電層，位於部分PN二極體上。如圖所示，第一層PN二極體層包括：複數個垂直式PN二極體D21，以及複數個介電層241，位於部分PN二極體D21上。而第二層PN二極體則包括：複數個垂直式PN二極體D22，以及複數個介電層242，位於部分PN二極體D22上。標號275，276，277代表絕緣物。

再者，第4圖中有三層平行導電層，分別是位元線BL21，其位於下層PN二極體層D21和絕緣層212之間；字元線WL21，位於兩層PN二極體層之間；以及位元線BL22，位於上層PN二極體D22之上。位元線BL21和BL22的設置方向是相同的，而字元線WL21之設置方向則是與位元線垂直。再者，上下兩PN二極體層係以同導電型面對面設置。例如，第4圖所示，下層二極體D21之第三導電層223和上層二極體D22之第五導電層225皆為P型。PN二極體上有介電層者定義為邏輯"0"，而PN二極體上沒有介電層者定義為邏輯"1"。例如，如圖中所示，下層PN二極體D21上有第一介電層241者定義為邏輯"0"，而PN二極體D21上沒有第一介電層241者定義為邏輯"1"。上層PN二極體D22上有第二介電層242者定義為邏輯"0"，而PN二極體D22上沒有第二介電層242者定義為邏輯"1"。再者，字元線WL21為上下兩



五、發明說明 (19)

層二極體D21和D22所共用。

綜合上述，本發明含有二極體之罩幕式唯讀記憶體係利用二極體上是否有介電層來定義邏輯"0"或邏輯"1"，且可堆疊複數層二極體層，而可形成高密度的三度空間陣列。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當以後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a至11圖顯示依據本發明一較佳實施例製造含有PN二極體之單幕式唯讀記憶體之製程的立體示意圖，其包括一層PN二極體層。

第2圖顯示依據本發明一較佳實施例之含有PN二極體之單幕式唯讀記憶體的立體示意圖，其包括兩層PN二極體層。

第3a至3p圖顯示依據本發明另一較佳實施例製造含有PN二極體之單幕式唯讀記憶體之製程的立體示意圖，其包括三層PN二極體層。

第4圖顯示依據本發明另一較佳實施例之含有PN二極體之單幕式唯讀記憶體的立體示意圖，其包括兩層PN二極體層。

標號之說明

第1a至11圖和第2圖~

110~半導體基底，

112~絕緣層，

120~第一導電層，

122~第二導電層，

124~第三導電層，

130~第一遮蔽層，

132~第二遮蔽層，

PR11~第一光阻，

PR12~第二光阻，

PR13~第三光阻，



圖式簡單說明

G11~第一溝槽，
G12~第二溝槽，
G13~第三溝槽，
BL~位元線，
140~第一絕緣物，
142~第二絕緣物，
150~介電層，
D~二極體，
M1~唯讀記憶體編碼罩幕，
160~唯讀記憶體編碼區，
162~編碼用開口，
WL~字元線，
10~記憶單元層，
12~絕緣層，

第3a至3p圖和第4圖~

210~半導體基底，
212~絕緣層，
221~第一導電層，
222~第二導電層，
223~第三導電層，
224~第四導電層，
225~第五導電層，
226~第六導電層，
227~第七導電層，



圖式簡草說明

228~ 第八導電層，
229~ 第九導電層，
241~ 第一介電層，
242~ 第二介電層，
243~ 第三介電層，
PR21~ 第一光阻，
PR22~ 第二光阻，
PR21~ 第三光阻，
PR21~ 第四光阻，
PR25~ 第五光阻，
PR26~ 第六光阻，
PR27~ 第七光阻，
M21~ 第一唯讀記憶體編碼罩幕，
M22~ 第二唯讀記憶體編碼罩幕，
M23~ 第三唯讀記憶體編碼罩幕，
250~ 唯讀記憶體編碼區，
251~ 第一編碼用開口，
252~ 第二編碼用開口，
253~ 第三編碼用開口，
261~ 第一遮蔽層，
262~ 第二遮蔽層，
263~ 第三遮蔽層，
264~ 第四遮蔽層，
G21~ 第一溝槽，



圖式簡單說明

G22~ 第二溝槽，
G23~ 第三溝槽，
G24~ 第四溝槽，
G25~ 第五溝槽，
BL21~ 第一位元線，
BL22~ 第二位元線，
271~ 第一絕緣物，
272~ 第二絕緣物，
273~ 第三絕緣物，
274~ 第四絕緣物，
275、276、277~ 絕緣物，
WL21~ 第一字元線，
WL22~ 第二字元線，
D21~ 第一層PN二極體，
D22~ 第二層PN二極體，
D23~ 第三層PN二極體。



六、申請專利範圍

1. 一種含有二極體之單幕式唯讀記憶體，其包括：

一半導體基底；

一絕緣層，位於該半導體基底上；

依第一方向設置之複數條第一導線，位於該絕緣層上；

複數個垂直式二極體，位於該第一導線上；

複數個介電層，位於部分二極體上，二極體上有介電層者定義為邏輯"0"，而二極體上沒有介電層者定義為邏輯"1"；以及

依第二方向設置之複數條第二導線，位於該介電層和該二極體上，該第一和第二方向為垂直。

2. 如申請專利範圍第1項所述之含有二極體之單幕式唯讀記憶體，其中該二極體為PN二極體。

3. 如申請專利範圍第2項所述之含有二極體之單幕式唯讀記憶體，其中該PN二極體為不同導電型之兩複晶矽層所構成。

4. 如申請專利範圍第1項所述之含有二極體之單幕式唯讀記憶體，其中該絕緣層為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鉬(BST)、氧化鉛(HfO_2)、或氧化鈦(TiO_2)。

5. 如申請專利範圍第1項所述之含有二極體之單幕式唯讀記憶體，其中該第一導線和第二導線分別為位元線和字元線。

6. 如申請專利範圍第1項所述之含有二極體之單幕式



六、申請專利範圍

唯讀記憶體，其中該介電層為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鉭(BST)、氧化鈺(HfO_2)、或氧化鈦(TiO_2)。

7. 如申請專利範圍第1項所述之含有二極體之單幕式唯讀記憶體，其包括：

一半導體基底；

一絕緣層，位於該半導體基底上；以及

至少兩層記憶單元層，堆疊設置於該絕緣層上，且任兩層記憶單元層之間有一分隔層以作絕緣，其中該每一層記憶單元層包括：

依第一方向設置之複數條第一導線，位於該絕緣層上；

複數個垂直式二極體，位於該第一導線上；

複數個介電層，位於部分二極體上，二極體上有介電層者定義為邏輯"0"，而二極體上沒有介電層者定義為邏輯"1"；以及

依第二方向設置之複數條第二導線，位於該介電層和該二極體上，該第一和第二方向為垂直，其中任兩相鄰上下兩極體層係以不同導電型面對面設置。

8. 如申請專利範圍第7項所述之含有二極體之單幕式唯讀記憶體，其包括2至10層記憶單元層。

9. 如申請專利範圍第7項所述之含有二極體之單幕式唯讀記憶體，其中該分隔層為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鉭(BST)、氧化鈺



六、申請專利範圍

(HfO_2)、或氧化鈦(TiO_2)。

10. 如申請專利範圍第1項所述之含有二極體之單幕式唯讀記憶體，其包括：

一半導體基底；

一絕緣層，位於該半導體基底上；

n 層二極體層，堆疊設置於該絕緣層上， n 為等於或大於2之整數，每層二極體層包括：複數個垂直式二極體；以及複數個介電層，位於部分二極體上，二極體上有介電層者定義為邏輯"0"，而二極體上沒有介電層者定義為邏輯"1"；以及

$(n+1)$ 層平行導電層，分別位於最下層二極體層和絕緣層之間，最上層二極體層之上，以及任兩相鄰二極體層之間，且此 $(n+1)$ 層平行導電層之設置方向為任兩相鄰導電層是互相垂直的，

其中任兩相鄰上下兩二極體層係以同導電型面對面設置。

11. 如申請專利範圍第10項所述之含有二極體之單幕式唯讀記憶體，其中 n 為2至10之間。

12. 一種含有二極體之單幕式唯讀記憶體的製造方法，其包括以下步驟：

在一半導體基底上依序形成一絕緣層，一第一導電層，一第二導電層，和一第三導電層，其中第二導電層和第三導電層之間形成PN界面或蕭特基(Schottky)界面；

圖案化該第三導電層，第二導電層，和第一導電層，



六、申請專利範圍

而形成複數個依一第一方向設置的第一溝槽，以將第一導電層定義為複數條位元線；

將一第一絕緣物填入該第一溝槽內；

全面性地在該第三導電層和第一絕緣物上形成一介電層；

圖案化該介電層，第一絕緣物，第三導電層，第二導電層，停止於位元線，而形成複數個依一第二方向設置的第二溝槽，且形成由第二導電層和第三導電層所構成的複數個二極體，其中第一方向和第二方向互相垂直；

將第二絕緣物填入該第二溝槽內，使得該第二絕緣物之高度比該介電層為高，而形成複數個依第二方向設置的第三溝槽；

圖案化該介電層，以曝露出部分二極體之第三導電層，而形成複數個編碼用開口，定義出複數個編碼區；

形成一第四導電層，以填入該第三溝槽和編碼用開口中，而形成複數條字元線。

13. 如申請專利範圍第12項所述之含有二極體之單幕式唯讀記憶體的製造方法，其中該二極體為PN二極體。

14. 如申請專利範圍第13項所述之含有二極體之單幕式唯讀記憶體的製造方法，其中該PN二極體為不同導電型之兩複晶矽層所構成。

15. 如申請專利範圍第12項所述之含有二極體之單幕式唯讀記憶體，其中該介電層為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鉬(BST)、氧化鉛



六、申請專利範圍

(HfO_2)、或氧化鈦(TiO_2)。

16. 一種含有二極體之單幕式唯讀記憶體之製造方法，其包括以下步驟：

在一半導體基底上依序形成一絕緣層，一第一導電層，一第二導電層，一第三導電層，和一第一介電層，其中該第二導電層和第三導電層之間形成PN界面或蕭特基(Schottky)界面；

圖案化該第一介電層，以曝露出該第三導電層之部分區域，而形成複數個第一編碼用開口，定義出複數個第一編碼區；

圖案化該第一介電層，第三導電層，第二導電層，和第一導電層，而形成複數個依一第一方向設置的第一溝槽，將第一導電層定義為複數條第一位元線，將一第一絕緣物填入該第一溝槽內；

全面性地形成一第四導電層，且填入該第一編碼用開口中；

在該第四導電層上依序形成一第五導電層，第六導電層，和一第二介電層，其中該第五導電層和第六導電層之間形成PN界面或蕭特基(Schottky)界面；

圖案化該第二介電層，以曝露出第六導電層之部分區域，而形成複數個第二編碼用開口，定義出複數個第二編碼區；

圖案化該第二介電層，第六導電層，第五導電層，第四導電層，第一介電層，第三導電層，第二導電層，停止



六、申請專利範圍

於第一位元線，而形成複數個依一第二方向設置的第二溝槽，並將第四導電層定義為複數條第一字元線，其中第一方向和第二方向為垂直；

將一第二絕緣物填入該第二溝槽內；

全面性地形成一第七導電層，且填入該第二編碼用開口中；

在該第七導電層上依序形成一第八導電層，一第九導電層，和一第三介電層，其中該第八導電層和第九導電層之間形成PN界面或蕭特基(Schottky)界面；

圖案化該第三介電層，以曝露出該第九導電層之部分區域，而形成複數個第三編碼用開口，定義出複數個第三編碼區；

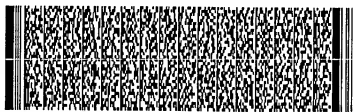
圖案化該第三介電層，第九導電層，第八導電層，第七導電層，第二介電層，第六導電層，第五導電層，停止於第一字元線，而形成複數個依第一方向設置的第三溝槽，並將第七導電層定義為複數條第二位元線；

將一第三絕緣物填入該第三溝槽內；

圖案化該第三介電層，第九導電層，第八導電層，停止於第二位元線，而形成複數個依第二方向設置的第四溝槽；

將第四絕緣物填入該第四溝槽內，使得該第四絕緣物之高度比第三介電層為高，而形成複數個依第二方向設置的第五溝槽；以及

將第十導電層填入該第五溝槽內，而形成複數條第二



六、申請專利範圍

字元線，

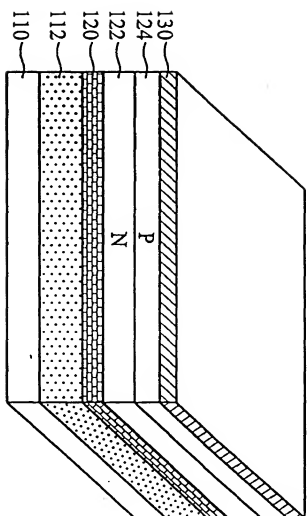
其中該第三和第五導電層具有相同導電型，第六和第八導電層具有相同導電型。

17. 如申請專利範圍第16項所述之含有二極體之罩幕式唯讀記憶體的製造方法，其中該第二、第三、第五、第六、第八、和第九導電層為摻雜之複晶矽層。

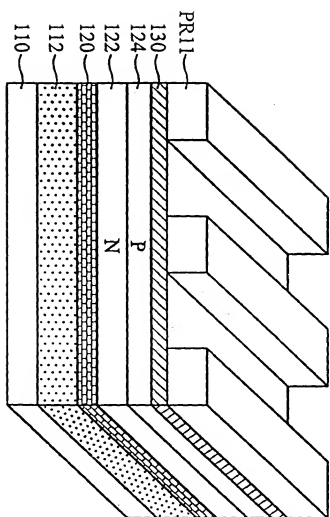
18. 如申請專利範圍第17項所述之含有二極體之罩幕式唯讀記憶體的製造方法，其中該第二、第六、和第八導電層具有相同導電型，第三、第五、和第九導電層具有相同導電型。

19. 如申請專利範圍第16項所述之含有二極體之罩幕式唯讀記憶體，其中該第一、第二、和第三介電層為氧化矽、氧化鋁(Al_2O_3)、氮化矽(Si_3N_4)、氧化鉭(Ta_2O_5)、鈦酸鋇鋇(BST)、氧化鈣(HfO_2)、或氧化鈦(TiO_2)。

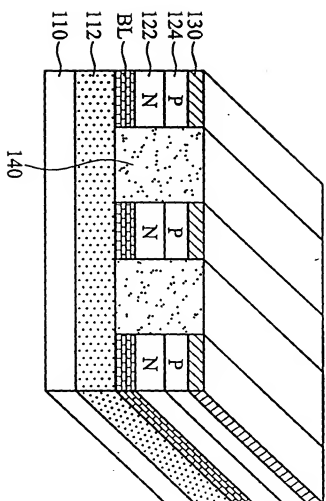




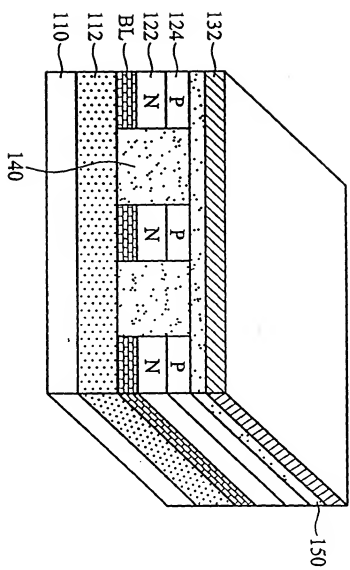
第10圖



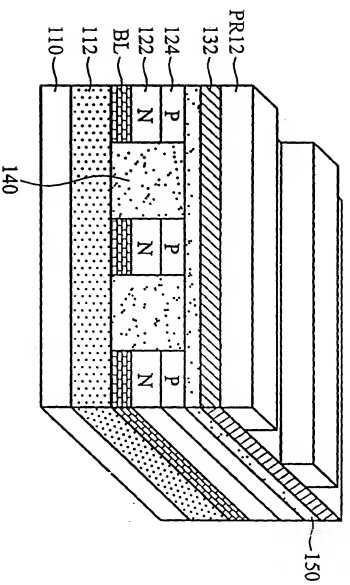
第1b圖



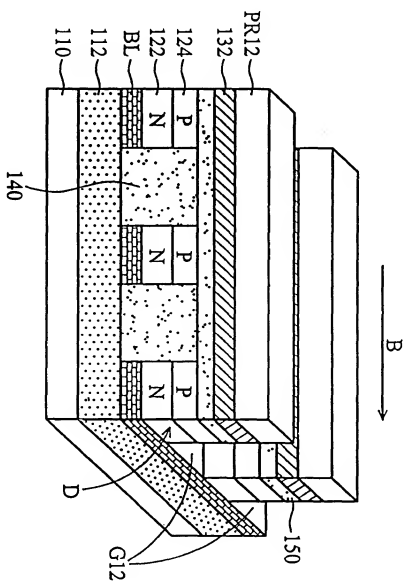
第1d圖



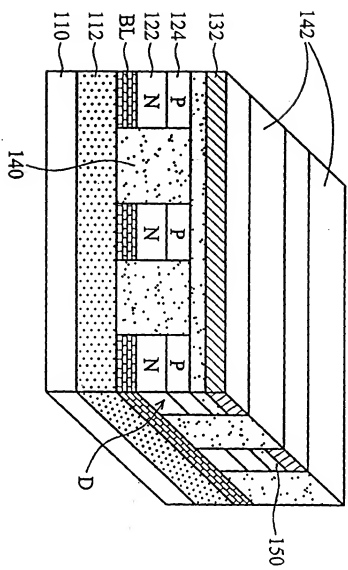
第1e圖



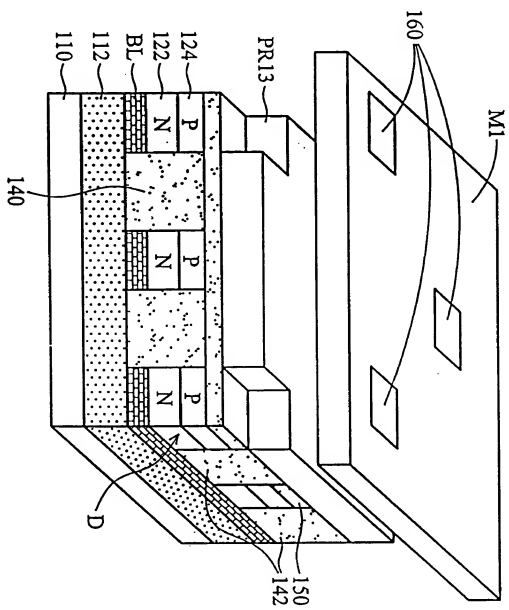
第1f圖



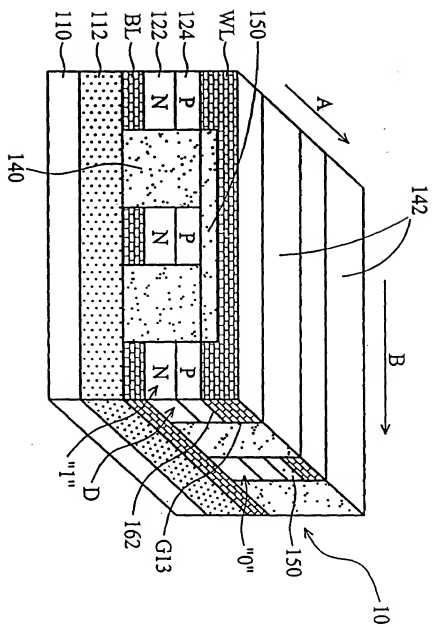
第1g圖



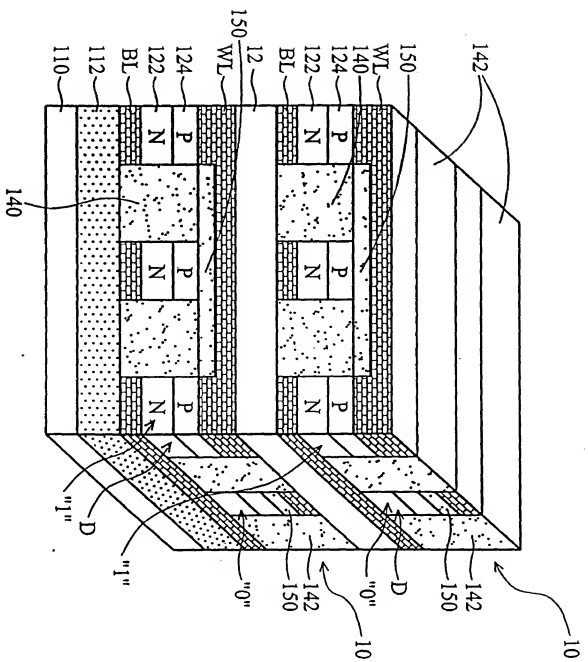
第1h圖



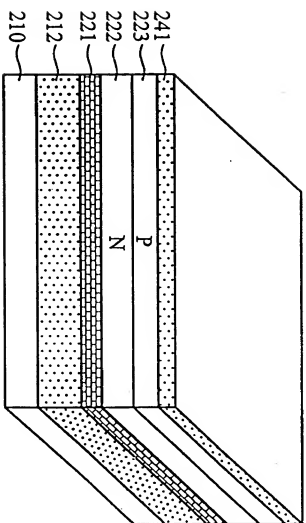
第11圖



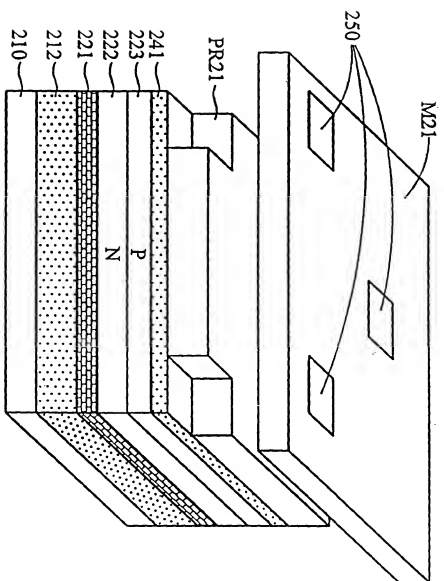
第11圖



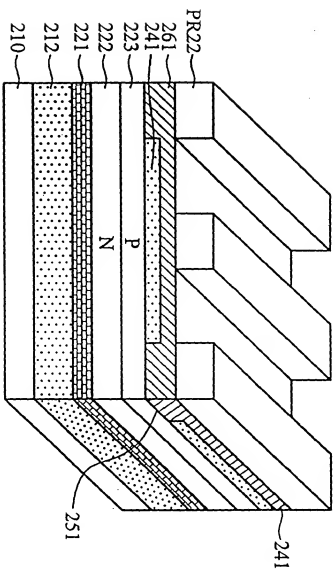
第 2 圖



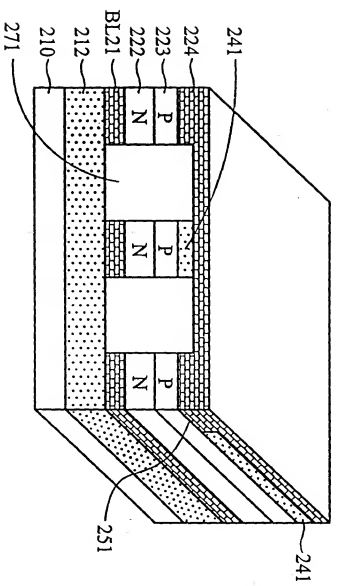
第30圖



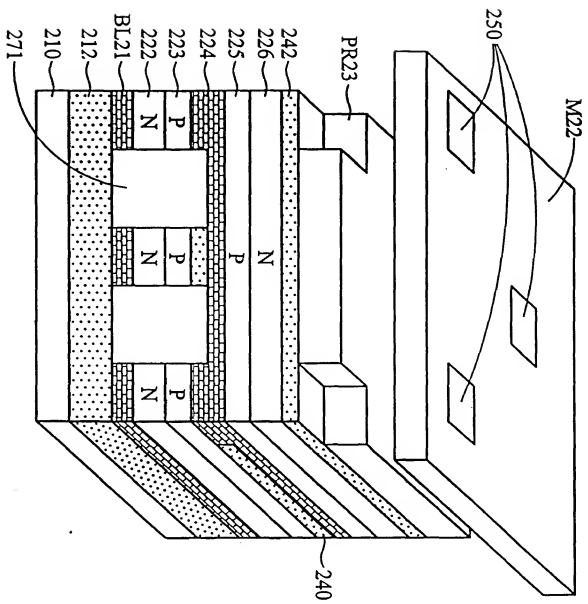
第3b圖



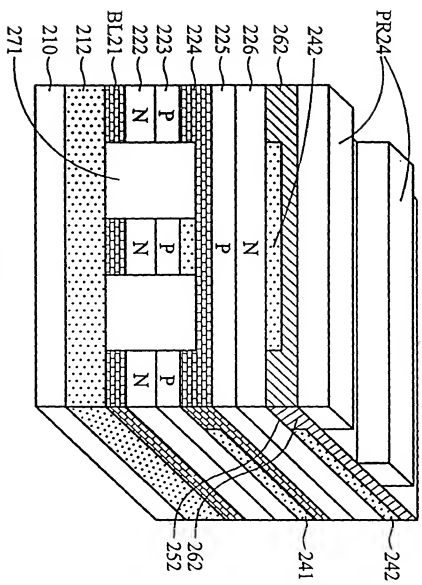
第 3C 圖



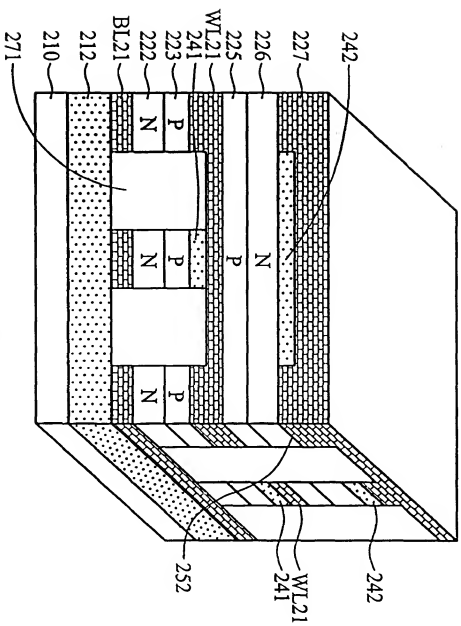
第3e圖



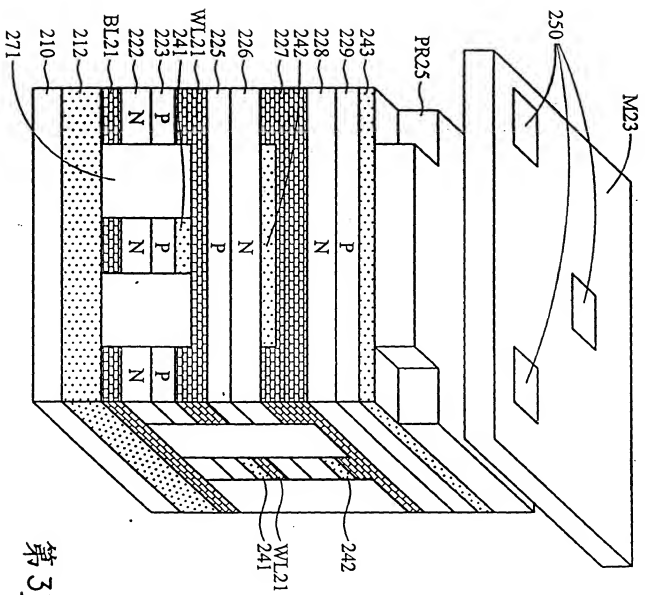
第3f圖



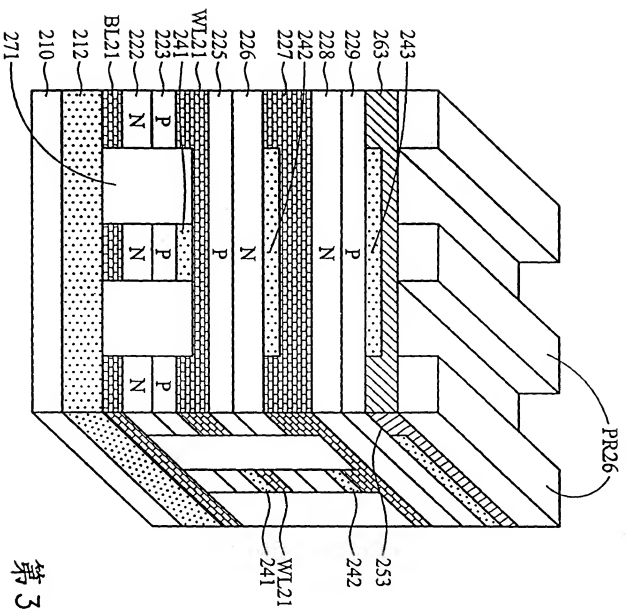
第 3g 圖



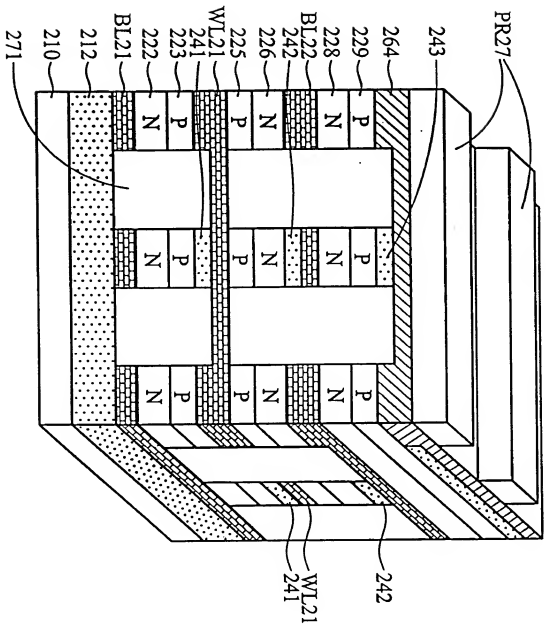
第31圖



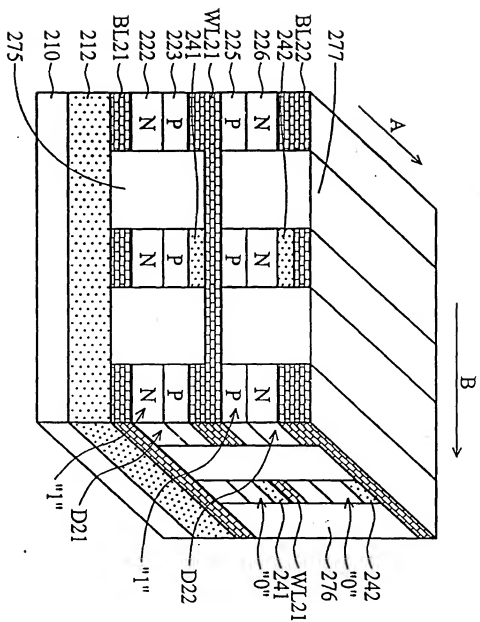
第3圖



第3k圖



第3圖



第 4 圖

第 1/34 頁



第 2/34 頁



第 3/34 頁



第 4/34 頁



第 5/34 頁



第 5/34 頁



第 6/34 頁



第 6/34 頁



第 7/34 頁



第 8/34 頁



第 8/34 頁



第 9/34 頁



第 9/34 頁



第 10/34 頁



第 11/34 頁



第 11/34 頁



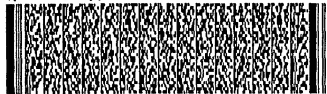
第 12/34 頁



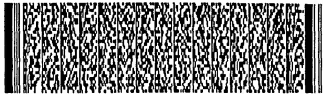
第 12/34 頁



第 13/34 頁



第 13/34 頁



第 14/34 頁



第 14/34 頁



第 15/34 頁



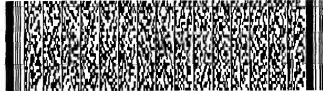
第 15/34 頁



第 16/34 頁



第 16/34 頁



第 17/34 頁



第 17/34 頁



第 18/34 頁



第 18/34 頁



第 19/34 頁



第 19/34 頁



第 20/34 頁



第 20/34 頁



第 21/34 頁



第 21/34 頁



第 22/34 頁



第 22/34 頁



第 23/34 頁



第 24/34 頁



第 25/34 頁



第 26/34 頁



第 27/34 頁



第 28/34 頁



第 29/34 頁



第 29/34 頁



第 30/34 頁



第 30/34 頁



第 31/34 頁



第 31/34 頁



第 32/34 頁



第 33/34 頁



第 34/34 頁

